

引用格式: 罗京, 赵健, 陈铭易, 等. 适用于生物电信号采集的低功耗 10 bit 40 KS/s SAR ADC 设计[J]. 微电子学与计算机, 2020, 37(12): 64-69. [LUO J, ZHAO J, CHEN M Y, et al. A 10 bit 40 KS/s low-power SAR ADC for bio-electrical signal acquisition[J]. Microelectronics & Computer, 2020, 37(12): 64-69.]

适用于生物电信号采集的低功耗 10 bit 40 KS/s SAR ADC 设计

罗 京, 赵 健, 陈铭易, 王国兴

(上海交通大学 电子信息与电气工程学院, 上海 200240)

摘 要: 设计了一款适用于生物电信号采集的低功耗 10 bit 分辨率、40 KS/s 采样率的逐次逼近型模数转换器 (SAR ADC). 为了降低电容阵列的切换功耗, 提出了一种新型混合型电容切换方式. 该混合型电容切换方式将共模电平单调向下切换与基于共模电平的切换方式相结合, 有效地实现了电容阵列的低功耗切换. 与传统共模电平不变的电容切换方式相比, 采用了混合型电容切换方式能够使电容切换耗能降低 90.7%. 与共模电平单调向下切换和基于共模电平切换相比, 该混合型电容切换方式也能够使电容切换耗能分别降低 50.2% 和 25.3%. 该款 ADC 采用 TSMC 0.18 μ m CMOS 工艺进行设计, 后仿真结果表明, 在 40 KS/s 采样速率, 输入为满量程接近奈奎斯特频率的正弦信号下, 该款 ADC 可以得到 9.6 bit 有效位数 (ENOB), 无杂散动态范围 (SFDR) 为 73.2 dB, 总功耗为 2.1 μ W, 品质因数 (FoM) 为 68 fJ/(Conv-step).

关键词: 低功耗; 混合型电容切换; 共模电平单调向下切换; 基于共模电平切换

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2020)12-0064-06

A 10 bit 40 KS/s low-power SAR ADC for bio-electrical signal acquisition

LUO Jing, ZHAO Jian, CHEN Ming-yi, WANG Guo-xing

(School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: A 10 bit, 40 KS/s low-power successive approximation register analog-to-digital converter (SAR ADC) is designed for bio-electrical signal acquisition. To reduce the switching power of capacitors, a new hybrid switching scheme is proposed. Based on the monotonic switching method and the V_{cm} -based switching method, this proposed switching scheme can achieve low-power switching of capacitors effectively. Compared with the conventional V_{cm} -constant switching scheme, the hybrid switching method can reduce the switching energy by 90.7%. Compared with the monotonic switching method and the V_{cm} -based switching method, this new proposed method can reduce the switching energy by 50.2% and 25.3%, respectively. Implemented in TSMC 0.18 μ m CMOS process, the post-simulation results show that the hybrid ADC achieves the effective number of bits (ENOB) of 9.6 bit, the spurious free dynamic range (SFDR) of 73.2 dB and the Figure of Merit (FoM) of 68 fJ/(Conv-step) at 40 KS/s sampling rate with full-scalenear Nyquist input, with power consumption of 2.1 μ W.

Key words: low power; hybrid switching scheme; monotonic switching method; V_{cm} -based switching method

1 引言

生物电信号采集系统是用来采集并放大生物电信号,并将其转换成数字信号的一类传感器接口.生物电信号通常都非常微弱,其幅度基本在几微伏到几毫伏之间,频率通常低于几千赫兹^[1].为了能够准确地采集这些微弱的信号,生物电信号采集系统通常包括一个高增益的低噪声放大器、一个带通滤波器和一个具有足够分辨率的模数转换器(分辨率在 10 bit 及以上^[2]).为了适应生物电信号采集系统高分辨率和低功耗的要求,本文研究提出一种混合型切换方式,并基于 TSMC 0.18 μ m CMOS 工艺设计了一款 10 bit 分辨率, 40 KS/s 采样率的低功耗 SAR ADC.

2 低功耗 SAR ADC 结构

如图 1 所示,本文设计的 SAR ADC 主要包括

栅压自举开关、数模转换器(DAC)电容阵列、比较器和数字控制逻辑等模块.为了提高信号采样的线性度,采用了栅压自举开关来代替传统的传输门开关实现信号的精准采样^[3].为了满足低功耗设计的要求,该款 ADC 采用了一种新型的混合型电容切换方式.该切换方式将共模电平单调向下切换^[4]与基于共模电平切换方式^[5]相结合,有效地降低了电容阵列切换的功耗.与传统共模电平不变的电容切换方式相比,采用了混合型电容切换方式能够使电容切换耗能降低 90.7%.与共模电平单调向下切换和基于共模电平切换相比,该混合型电容切换方式也能够使电容切换耗能分别降低 50.2%和 25.3%.为了减小回踢噪声(Kick-back noise)的影响,采用了带前置放大器的动态锁存比较器来实现快速准确的比较.同时,还采用了异步控制逻辑来产生所需的控制时钟信号,既避免了同步控制逻辑需要的高频时钟信号输入,又能降低电路的功耗^[4].

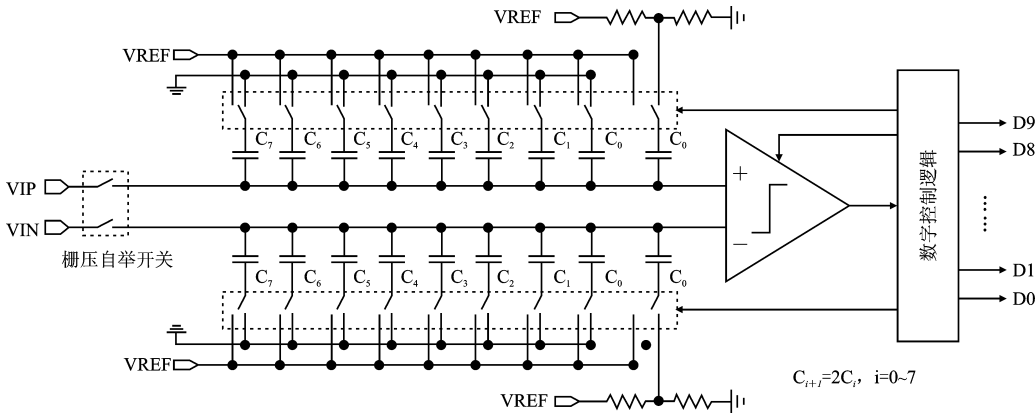


图 1 10 bit 40 KS/s SAR ADC 总体结构图

2.1 栅压自举开关

采样开关的作用是将输入信号快速准确地采样到电容上,它的性能直接决定了整个 ADC 输出信号的质量好坏,所以采样开关的设计十分重要.在实际的采样开关设计中,线性度是最重要的性能指标之一.保证良好的线性度就是要保证采样开关的 RC 时间常数恒定,即保证采样开关的导通电阻恒定.保持导通电阻值的恒定就是要保证 MOS 开关的栅极与源极之间的电压保持恒定.因为 MOS 开关的源极通常是与输入信号相连接,这就需要使栅极电压也随着输入信号的变化而变化.

栅压自举开关正好可以解决这个问题,如图 2 所示,当时钟信号 clksb 为高电平、clks 为低电平时,MP1 和 MN1 导通,电容 C_p 充电至 VDD;当 clksb 为低电平、clks 为高电平时,MP2、MN4 和

MN5 导通,使得电容 C_p 上的固定电压加在了 MN2 管的栅源极,从而使得开关管的栅极与源极之间的电压保持恒定,也就保证采样开关的导通电阻恒定.

2.2 单位电容取值

由图 1 可知,DAC 电容阵列可以用来作为采样信号的电容,所以根据采样开关的 KT/C 热噪声与量化噪声的关系,可以得到单位电容的取值范围. KT/C 热噪声与量化噪声的关系如公式(1)所示,

$$\frac{2KT}{C_s} \leq \frac{\Delta^2}{12}$$

(1)

式中, C_s 表示单边 DAC 电容阵列的总和,因为是差分结构,所以需要乘以 2; Δ 表示量化区间的大小.通过计算得到单位电容 C_u 必须大于 0.016 fF.通常单位电容的取值都会远远满足这个要求.为了进一步

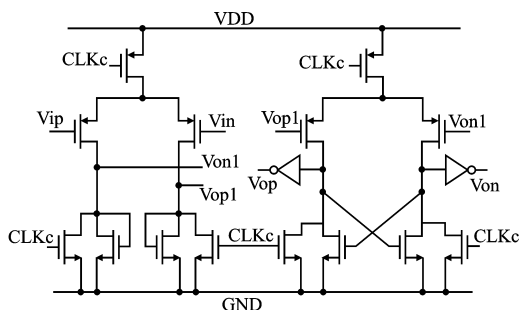


图 4 动态比较器电路图

向下的切换模式,所以采用了 PMOS 管作为输入对管,这样能够保证比较器在每个转换周期都能正常工作。为了减小比较器回踢噪声,即比较器输出通过

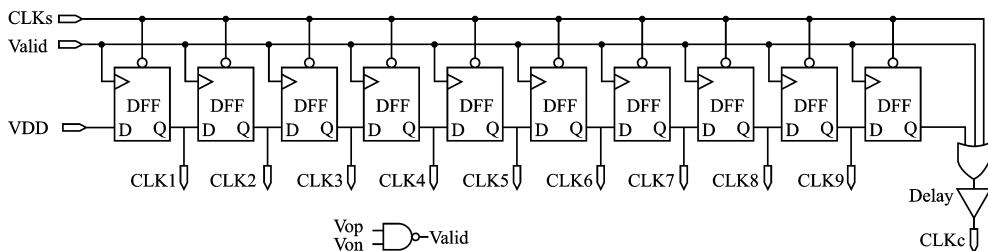


图 5 异步控制逻辑电路图

2.5 异步控制逻辑

为了避免同步时钟控制逻辑所需的高频时钟产生,该款 ADC 采用了异步时钟控制逻辑.如图 5 所示,异步控制逻辑由一个采样时钟 CLKs 触发,配合由比较器输出得到的 Valid 信号,从而得到控制电容切换的时钟.具体来说,当比较器正常工作时,其输出端(Vop 和 Von)分别被拉到 VDD 和 GND,由此触发 Valid 信号为高,从而产生控制电容切换的时钟信号(CLK1-CLK9),如图 6 所示.

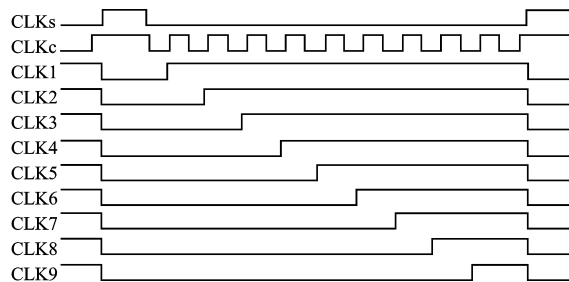


图 6 异步控制逻辑产生控制时钟的时序图

由上述的控制逻辑可以得知,每一位的转换时间都与比较器完成比较所需的时间有关,如果在某一位比较的时候,比较器输入信号的差值较大,则比较器完成比较所需的时间就比较短;反之,比较器所需的时间就较长。与同步控制逻辑每一位转换时间都固定的方式相比,这种根据每一位信号情况

MOS 管寄生电容耦合到 DAC 电容阵列上极板,从而对上极板电平产生影响,采用了前置放大器来隔绝比较器输出耦合到 DAC 电容阵列的直接路径.从而大大降低了回踢噪声对电路性能的影响.该比较器的工作原理是:当控制时钟 CLKc 为低时,前置放大器正常工作,将输入信号进行放大并传给动态锁存器的输入端口;同时,动态锁存器也处于正常工作状态,利用锁存器的再生功能将输出分别拉到 VDD 和 GND.当时钟 CLKc 为高时,前置放大器和动态锁存器的偏压电流管被关闭,比较器处于复位状态,输出都被拉到 VDD.从而使得比较器在复位状态下不消耗功率.

不同而有不同的转换时间的方式可以有效提高 ADC 的转换速度,而且不会造成转换时间的多余和浪费,从而使比较器的功耗也能有所降低.

图 7 展示了电容阵列开关切换逻辑的电路图, 左边为 $C_9 - C_0$ 的切换逻辑, 右边为最后一位的 C_0 切换逻辑, 区别在于最后一位只需切换到 $V_{REF}/2$ 而不是 GND. 其中反相器的尺寸可以根据需要驱动的电容量来设置.

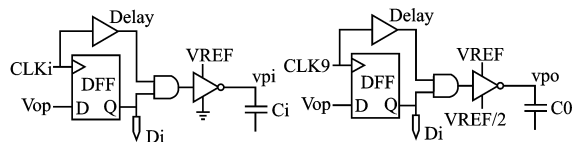


图 7 开关切换控制逻辑电路图

3 仿真结果与分析

该款 SAR ADC 在 TSMC 0.18 μm CMOS 工艺下进行了设计与仿真,图 8 显示了 SAR ADC 的整体版图结构,面积为 0.4 mm $\times$ 0.4 mm.

为了得到动态性能的仿真结果,需要输入一个满量程的正弦波.为了避免频谱泄漏,输入信号频率与采样率必须满足相干采样(Coherent sampling)的关系.根据该款 ADC 采样频率是 40 KS/s,因此选择的接近奈奎斯特频率的输入频率是 19.49 KHz.

如图 9 所示,后仿真结果表明该款 ADC 可以得到信噪失真比(SNDR)为 59.7 dB,有效分辨率为 9.6 bit,无杂散动态范围为 73.2 dB.

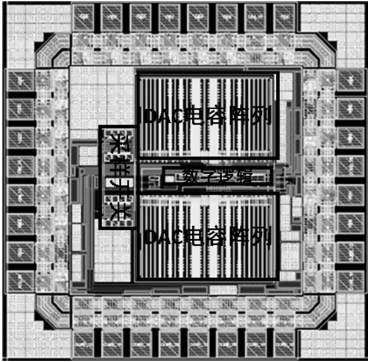


图 8 SAR ADC 整体版图

对于 ADC 的静态性能仿真,采用了输入斜坡信号的码密度法. 图 10 显示了该款 ADC 的差分非线性(DNL)在 $[-0.12, 0.34]$ 之间,积分非线性(INL)在 $[-0.34, 0.45]$ 之间,表明该款 ADC 具有良好的线性度. 在 40 KS/s 采样速率下,该款 ADC 的总功耗为 $2.1\ \mu\text{W}$,其中模拟部分功耗为 $0.72\ \mu\text{W}$,数字部分功耗为 $0.57\ \mu\text{W}$ 以及 DAC 部分功耗为 $0.81\ \mu\text{W}$. 根据品质因数(FoM)的计算公式(7),

$$FoM = \frac{power}{f_s \cdot 2^{ENOB}} \tag{7}$$

可得该款 ADC 的品质因数为 68 fJ/(Conv-step).

表 1 总结了本款 SAR ADC 的性能参数,并与其他应用于生物医疗电子方面的几种 ADC 进行了对比. 可以看出,与积分型 ADC 相比,本文设计的 ADC 在功耗和采样速率等方面都有非常大的优势. 与同类型的 SAR ADC 相比,本文的 ADC 在功耗和品质因素等方面也具有一定的优势,实现了低功耗的设计和應用目标.

表 1 ADC 性能总结与比较

	[7]	[8]	[9]	[10]	[11]	本文
结构	积分型	积分型	SAR	SAR	SAR	SAR
工艺/ μm	0.35	0.35	0.13	0.18	0.18	0.18
工作电压/V	2	2	1/0.4	1.8	1	1.8
采样率/KS/s	0.4	0.689	1	20	100	40
分辨率/bits	10	12	10	10	12	10
ENOB/bits	9.8	11.8	9.1	9.4	10.6	9.6
功耗/ μW	37	12	0.053	44.7	25	2.1
FoM/(Conv. step)	90300	4250	94.5	3308	165	68

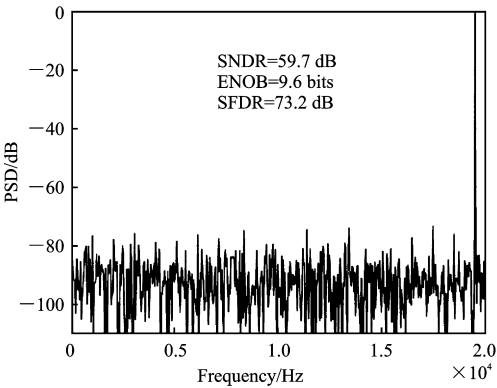


图 9 SAR ADC 输出频谱图

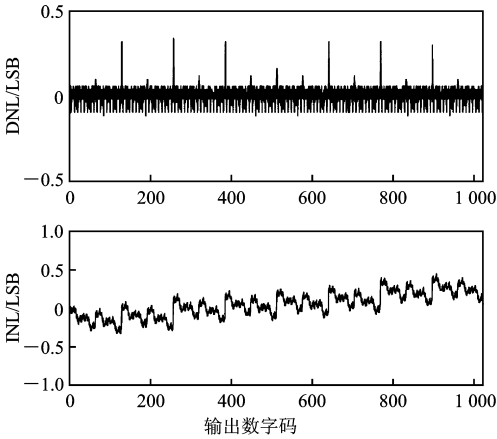


图 10 差分非线性(DNL)与积分非线性(INL)

4 结束语

针对生物电信号采集系统的低功耗和高精度要求,本文在 TSMC 0.18 μm CMOS 工艺下设计了一款 10 bit 分辨率, 40 KS/s 采样率的低功耗 SARADC. 该款 ADC 提出了一种新型的混合型切换方式,使得电容切换耗能相对于传统切换和共模电平单调向下切换方式分别降低了 90.7% 和 50.2%. 后仿真结果表明,在 40 KS/s 采样速率下,该款 ADC 可以得到有效分辨率为 9.6 bit,无杂散动态范围为 73.2 dB,总功耗为 $2.1\ \mu\text{W}$,品质因数为 68 fJ/(Conv-step).

参考文献:

[1] YIN M, GHOVANLOO M. A Low-Noise Preamplifier with Adjustable Gain and Bandwidth for Biopotential Recording Applications [C]. IEEE International Symposium on Circuits and Systems, 2007: 321-324.

[2] ZOU X, XU X, LIAN Y, et al. A 1-V 1.1- μW Sensor Interface IC for Wearable Biomedical Devices [C].

- IEEE International Symposium on Circuits and Systems, 2008: 2725-2728.
- [3] DESSOUKY M, KAISER A. Rail-to-rail operation of very low voltage CMOS switched-capacitor circuits[C]. IEEE International Symposium on Circuits and Systems, 1999: 144-147.
- [4] LIU C C, CHANG S J, LIN Y Z, et al. A 10 bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure [J]. IEEE J. Solid-State Circuits, 2010, 45(4): 731-740.
- [5] ZHU Y, CHAN C H, MALOBERTI F, et al. A 10 bit 100-MS/s Reference-Free SAR ADC in 90 nm CMOS[J]. IEEE J. Solid-State Circuits, 2010, 45(6): 1111-1121.
- [6] YANG W, KELLY D, SINGER L, et al. A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFD-Rat Nyquist input[J]. IEEE J. Solid-State Circuits, 2001, 36(12): 1931-1936.
- [7] CHENG T, WU C, WANG G. A fully integrated alternating double integral ADC[J]. Microelectronics & Computer, 2018, 35(10): 62-66.
- [8] XIE X, CHENG M, WANG G. A dual slope ADC for a wireless portable ECG monitoring system[J]. Microelectronics & Computer, 2020, 37(4): 1-5.
- [9] ZHANG D, BHIDE A, ALVANDPOUR A. A 53-nW 9.1-ENOB 1 KS/s SAR ADC in 0.13- μ m CMOS for Medical Implant Devices[J]. IEEE J. Solid-State Circuits, 2012, 47(7): 1585-1593.
- [10] MA Z F, LI X Z, CHEN C C, et al. A low-power SAR ADC based on implantable intraocular pressure detection application[J]. Microelectronics & Computer, 2017, 34(11): 135-139.
- [11] VERMA N, CHANDRAKASAN A P. An Ultra Low Energy 12 bit Rate-Resolution Scalable SAR ADC for Wireless Sensor Nodes[J]. IEEE J. Solid-State Circuits, 2007, 42(6): 1196-1205.

作者简介:

罗京男, (1992-), 硕士研究生. 研究方向为模数转换器设计.

赵健男, (1989-), 博士, 助理教授. 研究方向为 MEMS 传感器系统芯片与无线体域网芯片.

陈铭易男, (1982-), 博士, 助理教授. 研究方向为面向生物电子和工业电子的数模混合芯片设计.

王国兴(通讯作者)男, (1975-), 博士, 教授. 研究方向为生物医疗电子. E-mail: guoxing@sjut.edu.cn